

行政院國家科學委員會專題研究計畫成果報告

2.4GHz CMOS 射頻前端電路設計(IV)---頻率合成器 2.4GHz CMOS RF Front-end Circuits Design(IV) ---Frequency Synthesizer

計畫編號：NSC 90-2213-E-009-061

執行期限：90年08月01日至91年07月31日

主持人：高曜煌 交通大學電信研究所教授

電話：5712121-54541 傳真：5710116 E-mail: yhkao@cc.nctu.edu.tw

計劃撰寫者：許民傑 吳丕安 電信碩士班研究生

一、中文摘要(及關鍵字)

在本篇論文中提出一個2GHz金氧半整數式頻率合成器。雙模預除器採用相位切換式電路實現，壓控振盪器採用N位元開關式電路，以實現寬頻、低雜訊的鎖相迴路。振盪器相位雜訊的分析，採用線性時變系統分析法。頻率合成器的操作頻率範圍為1.64~1.95GHz，可含蓋整個DCS1800系統的頻帶；鎖定時的相位雜訊為-116dBc@600KHz。

關鍵字：頻率合成器，雙模預除器，壓控振盪器，相位雜訊

Abstract

A fully integrated frequency synthesizer using CMOS technology is designed for 2 GHz wireless application. Dual modulus prescaler using phase select prescaler, VCO using N-bits switching VCO in order to implement frequency synthesizer with broadband、low phase noise. The phase noise is examined by the linear time varying model. The Frequency synthesizer operation frequency range from 1.64GHz to 1.95GHz, can cover band of DCS1800 system; phase noise is -116dBc@600kHz.

Keyword: Frequency synthesizer, prescaler, VCO, phase noise

二、計劃緣由與目的

由於CMOS技術日益成熟使得SOC (System On a Chip) 不再是不可及的目標。且由於CMOS技術具有高整合性、低成本、低功率消耗及製作簡單等多項優點，使得近年來，使用CMOS技術實現射頻IC電路的研究越來越蓬勃，也越來越受重視，基於過去所研發的RF CMOS模組，本計劃將提出一射頻頻率合成器的設計，以應用為前端電路中作為掃頻及穩定頻率用途。一般頻率合成器電路包含相頻偵測器、迴路濾波器、壓控振盪器、預除器及可程式化除法器，必須仔細考慮頻寬、雜訊及穩定度的問題；其中迴路濾波器頻寬必須考慮能抑制相頻偵測器輸出端所不期望的信號，且此電路在雜訊、鎖定擷取、反應速度、迴路穩定度有重要的影響；而壓控振盪器必須有高品質因素、低相位雜訊；預除器必須具備高速之功能；相頻偵測器必須具備準確之功能；如此方能達到頻率合成器所必備的切換速度、頻率穩定及輸出雜訊等方面的規格要求。

三、研究方法

(1) 壓控振盪器相位雜訊預估

電路架構如圖一，採用線性時變系統來分析[6,10]，其單邊帶相位雜訊密

度 表 示 式 :

$$L(\Delta S) = 10 \log \left\{ \left[\frac{\Gamma_{ms}^2 \cdot \overline{in^2} / \Delta f}{\hat{q}_{max}^2 \cdot 8 \cdot \Delta S^2} \left(1 + \frac{S_p / \sqrt{f^3}}{\Delta S} \right) + \frac{\Gamma_{ms}^2 \cdot \overline{in^2} / \Delta f}{\hat{q}_{max}^2 \cdot 8 \cdot \Delta S^2} \left(1 + \frac{S_n / \sqrt{f^3}}{\Delta S} \right) \right] + \left[\frac{\Gamma_{b,ms}^2 \cdot \overline{in^2} / \Delta f}{\hat{q}_{max}^2 \cdot 8 \cdot \Delta S^2} \left(1 + \frac{S_n / \sqrt{f^3}}{\Delta S} \right) + \frac{\Gamma_{ms}^2 \cdot \overline{in^2} / \Delta f}{\hat{q}_{max}^2 \cdot 4 \cdot \Delta S^2} \right] \right\}$$

依據上式，模擬電路的脈衝響應函式 (Impulse Response Function) $\Gamma(\tilde{S}_0, f)$ 與量測.35 TSMC MOS 的閃爍雜訊(flicker noise)後，將其值代入上式即可得到結果。

(2) N 位元開關式壓控振盪器

雜訊 ΔV 透過壓控振盪器的 Vtune 端進入，會造成在距離振盪頻率 $\pm n\tilde{S}_{ref}$ 處產生突波，且正比於 K_{VCO} 和 ΔV 。改善方法可以採用加大迴路濾波器的電容和減小 K_{VCO} ，基於此原因，設計一組三位元開關式壓控振盪器，電路架構如圖二[9]。設計時各區間函蓋的頻率要能重疊一段頻帶 (Overlap)，以保證不受製程漂移影響而有不連續的現象。適當地選取 NMOS 開關的長寬與平行板電容值，考慮因素為 Q 值與可調頻寬範圍。

(3) 相位切換式預除器

相位切換預除器(phase-switching prescaler)[2]，如圖三所示。

前級高速除二器電路採用圖四架構[12,13,14]，此電路的輸出波形責任周期約 25%~35%，設計時要考慮輸入靈敏度。

相位選擇器，採用同步電路，以避免突波的影響，如圖五。

(4) 整數式頻率合成器

迴路頻寬設定的位置有幾點考量：(1)鎖定期間。(2)雜訊抑制量。DCS1800 的鎖定期間為 865us[2]，若要滿足誤差小於 1ppm 則最小的迴路頻寬為 3.1kHz。DCS1800 相位雜訊的規格，即 -116dBc/Hz@600KHz 和

-133dBc/Hz@3MHz。參考端與充電泵引入雜訊對輸出的影響為低通型式、濾波器端雜訊影響為帶通、振盪器雜訊影響為高通，所以並非頻寬越大越好，必須做調整。

四、成果

測試的方法是將晶片載在洗好的電路板子上，利用打線連接，量測時，輸出一端接儀器，另一端接 50 歐姆終端負載；電流源的電壓利用乾電池來提供，與加入去耦合電容以減少雜訊。

MOSFET 的閃爍雜訊式子為

$$\overline{in^2} / \Delta f = \frac{K_f \cdot g_m^2}{Cox \cdot W \cdot L \cdot f^a}$$

量測萃取參數結果如表一。

相位雜訊量測與模擬如圖六、七。

三位元開關式壓控振盪器可調範圍量測如圖八。

高速除二電路的波形量測如圖九。

整數式鎖相迴路的架構如圖十和十一，迴路頻寬為 5kHz，相位雜訊模擬如圖十二。

五、結論與討論

壓控振盪器採用線性時變系統預估相位雜訊與量測相近，並可從中得知振盪器各部份貢獻雜訊的程度。

採用整數式頻率合成器，振盪器將會是影響系統相位雜訊最主要的部份。由模擬可得相位雜訊 -116dBc/Hz@600KHz, -130dBc/Hz@3 MHz，尚未能符合規格。改進方法是設計相位雜訊更小的振盪器與改用分數式鎖相迴路，藉由提高迴路頻寬來減輕振盪器的影響。

鎖相迴路(三位元開關壓控振盪器+相位切換式預除器)的功率消耗為 51mW。

REFERENCES

- [1] Li Lin, "Design Techniques for High performance Integrated Frequency Synthesizer for Multi-standard Wireless Communication Applications", Dissertation,

Chair P. R. Gray, UC. Berkeley, 2000.

[2] J. Craninckx, and M. Steyaert, "Wireless CMOS Frequency Synthesizer Design", Kluwer Academic Publishers, Netherlands, 1998.

[3] B.Razavi, "A 2GHz 1.6mW Phase-Locked Loop", Symposium on VLSI Curcuits Digest of Technical Papers, pp.26~27, Jun 1996.

[4] C. Lam, and B. Razavi, "A 2.6GHz/5.2GHz Frequency Synthesizer in 0.4-um CMOS Technology", IEEE JSSC, Vol. 35, No. 5, May 2000.

[5] D.B.Lesson, "A simple model of feedback oscillator noise spectrum", proc.IEEE., Vol.54,pp.329 ~ pp.330, Feb,1966.

[6] A. Hajimiri and T. H. Lee, "A General Theory of Phase Noise in Electrical Oscillators", IEEE JSSC, Vol.33, No.2, pp.179 ~ pp.194, February 1998.

[7] H.Darabi, and A. A. Abidi, "Noise in RF-CMOS Mixers: A Simple Physical Model", IEEE TSSC, Vol. 35, No. 1 Jan 2000.

[8] J. J. Rael and A. A. Abidi, "Physical Processes of Phase Noise in Differential LC Oscillators", IEEE CICC, pp.569 ~ pp.572, 2000

[9] E. Hegazi, H. Sjoland, and A. A. Abidi, "A Filtering Technique to Lower Oscillator Phase Noise", ISSCC, pp.364 ~ pp.365, 2001

[10] A. Hajimiri and T. H. Lee, "Design Issues in CMOS Differential LC Oscillators", IEEE JSSC, Vol.34, No.5, pp.717 ~ pp.724, May 1999.

[11] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press, 1998.

[12] C. M. Hung, B. A. Floyd, N. Park, and K. K. O, "Fully Integrated 5.35GHz CMOS VCOs and prescalers", IEEE TMTT, Vol. 49, No.1, Jan 2001.

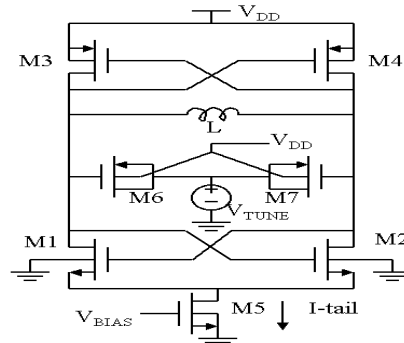
[13] B. Razavi, K. F. Lee, and R. H. Yan, "A 13.4GHz CMOS Frequency Divider", IEEE ISCC, pp.176 ~ pp.177, 1994.

[14] N. Krishnapura , and P. R. Kinget, "A

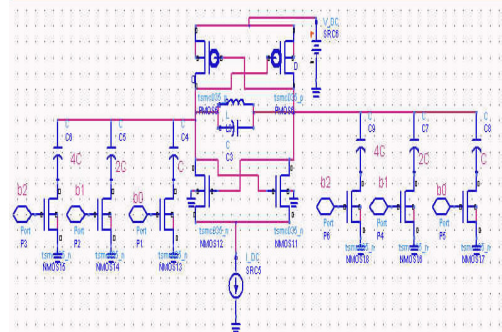
5.3GHz Programmable Divider for HiPerLAN in 0.25um CMOS", IEEE JSSC, Vol. 35, No. 7, Jul 2000.

[15] D. A. Johns, and K. Martin, "Analog Integrated Circuit Design", John Wiley & Sons, Inc. , Canada, 1997.

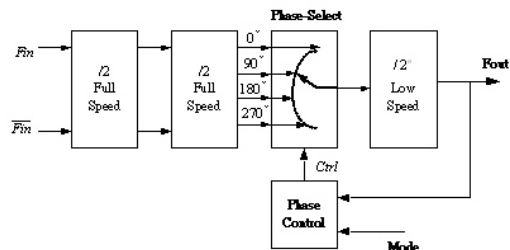
[16] 林諭棟, "一個 2 伏特 2GHz 赫茲的 CMOS 鎖相迴路", 碩士論文, 指導教授吳介琮, 交通大學電子所, 1996



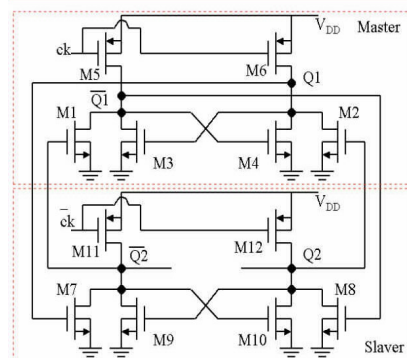
圖一 VCO 電路結構



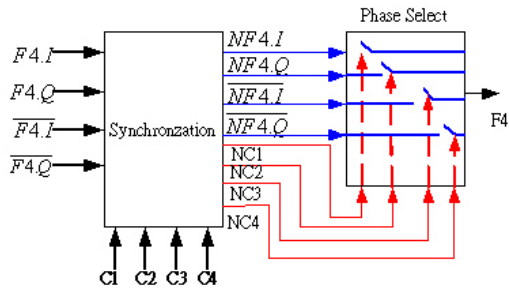
圖二 三位元開關式壓控振盪器架構



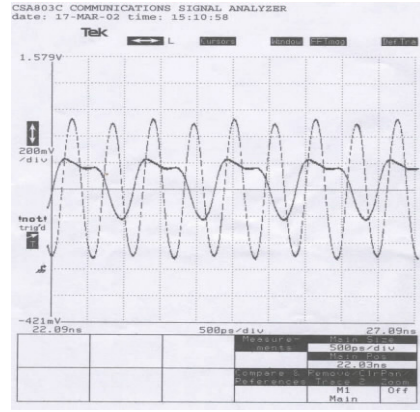
圖三 相位切換預除器



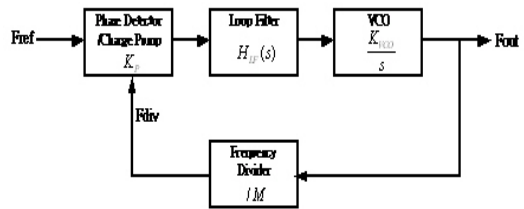
圖四 除二器



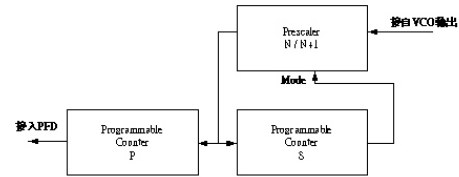
圖五 相位選擇電路



圖九 除二器量測

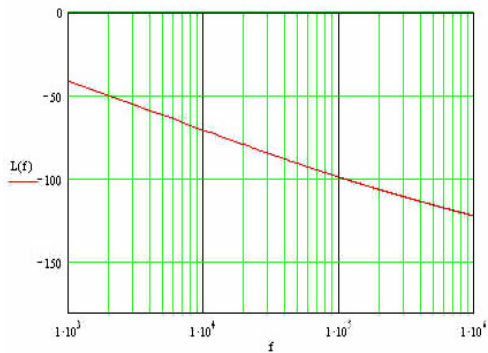


圖十 鎖相迴路架構

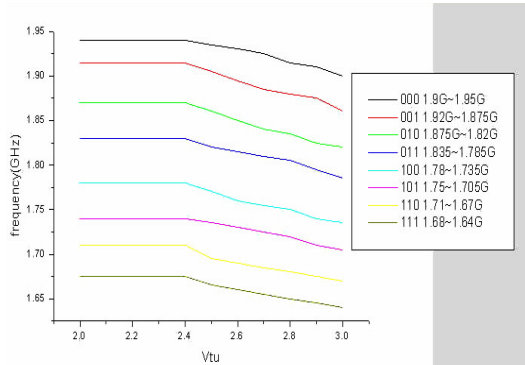


圖十一 鎖相迴路中的可程式化除頻器架構

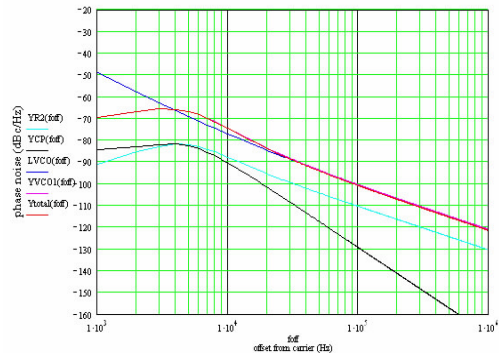
圖六 相位雜訊量測 $-100\text{dBc}@100\text{kHz}$



圖七 相位雜訊模擬 $-98\text{dBc}@100\text{kHz}$



圖八 三位元開關式壓控震盪器量測



圖十二 鎖相迴路相位雜訊模擬

	Size	$ V_{gs} $	$ V_{ds} $	Gm	Kf	α
NMOS1	L=0.35um	0.8	1	26m	$1.7e^{-24}$	0.88
	W=5um	1	1	37m	$1.7e^{-24}$	0.88
	M=60	1.3	1	44m	$1.5e^{-24}$	0.87
NMOS2	L=0.35um	0.8	1	18m	$2.2e^{-24}$	0.9
	W=5um	1	1	26m	$1.9e^{-24}$	0.89
	M=40	1.3	1	31m	$2.6e^{-24}$	0.94
PMOS1	L=0.35um	0.8	1	7.8m	$2.2e^{-25}$	0.98
	W=5um	1	1	19m	$3.5e^{-25}$	1.19
	M=120	1.3	1	30m	$4e^{-25}$	1.17

表一 閃爍雜訊參數萃取表