

樣。話說回來，不管那兩兩個 LAYERMAP 內部的函數有沒有發現正好有條線段完全把要觀察的範圍完全遮住了，DETERMINE::check_up()最後都會把已經將所有被遮蓋間距加總起來的 LRNODE 傳回給要觀察的線段。

正在檢查是否能夠被觀察到的線段得到了回傳的 LRNODE 後，便執行 LINE::Visible()檢查這個訊號是否真的能從觀察不到變成可觀察到。基本上就是檢查是否存在有兩個 interval 之間有比規定距離更大的間隔，這個規定距離定義的和一開始提到 LAYERMAP 時講到的 visible space，都是越往下層所需要的空間越大。而且下層所需空間大的同時，每條線的規定寬度同時也縮小了。這使得在 metal 2、metal 1 的訊號幾乎無法觀察到。

第三章 2-4節 Dummy Metal Fill 的儲存與管理

為了保持原本功能運作正常，我們盡量使 Dummy Metal Fill 也能嵌入原有的資料結構。即便我們已經把加入 Dummy Metal Fill 的區塊縮小到 layout 核心地區的 9 倍大小而不是原本該選擇的整片 layout，SOC Encounter 產生出來的 Dummy Metal Fill 數量還是十分多，再加上設定 dummy metal 擺放條件時要求了寬度要固定為該層規定訊號線寬，所以最後每個電路中的 Dummy Metal Fill 總數大約都在百萬上下。加入的 Dummy Metal Fill 最多的電路是 b17，各層加起來超過了 150 萬個，每一層大約是 6 萬到 7 萬個左右。

一來 Dummy Metal Fill 不應該和普通訊號放在一起，因為在之後的程式運行中有可能會干擾計算 FIB 可觀察度的機制；二來 Dummy Metal Fill 的資料量十分巨大，就算不做其他事情，光是把這上百萬個 SEG 物件加入原本的各 LAYERMAP 結構中就得多花一些時間，要是特意只在計算 FIB 可觀察度的函數中將 Dummy Metal Fill 排除，以原來的程式架構執行起來也大約會增加半分鐘的執行時間。但是 Dummy Metal Fill 的資料總是要載入的，為了避免干擾之前的運作，並且利用已經有的功能，我們在原本以 NET 記錄訊號，DETERMINE 管理各層線段資訊並計算各線段間遮蔽效果的框架中，另外加入了一個專門記錄 Dummy Metal Fill 的 NET 物件，另外再建了一個獨立的 DETERMINE 以記錄各層的 Dummy Metal Fill 線段。

第三章 2-5節 搜尋可能相連線段

在確定訊號的可觀察性一節中，有提到在判定一個訊號是否能夠以 FIB 技術觀察到時，會將這個訊號分層分線段的設定觀察框，再將這個觀察框向上移，每移一層就把會被該層中訊號遮蔽的部分刪去，要是遇到正好把整個觀察框都遮住的線段便立即回應：觀察不到；要是沒有，就要等到最高繞線層中對觀察框有影響的線段都標記完後才開始看還有多少空間可以觀察。這個原理在稍加修改之後，也能應用在對一個線段尋找有可能接出的 Dummy Metal Fill 上。

在經過一次 recalculate_obrate()後，每個訊號都會分別被標上可觀察到或無法觀察到。對於各個無法觀察到的訊號，分別由其所在的最高 layer（要是最高 layer 高過 metal 5，就直接設成 metal 5），逐個線段將有可能相連區域的參數：目前所在的 layer 向上推一層，目前線段起點，目前線段終點。這三個參數便可作為尋找有機會相連的 Dummy Metal Fill 的搜尋框。將這個搜尋框交給管理 Dummy Metal Fill 的 DETERMINE 物件查詢範圍內是否有機會接入，DETERMINE 會回傳第一個有機會接上的 Dummy Metal Fill 線段，或者回應找不到。

第三章 2-6節 連線策略

能夠知道有哪些更高一層的 Dummy Metal Fill 線段可以連入之前無法被觀察到的訊號後，選擇要連上哪些 Dummy Metal Fill，要連上多少 Dummy Metal Fill，Dummy Metal Fill 要給哪個之前無法被觀察的訊號連接…就需要進一步的討論了，而且每一步的選擇都會影響之後的訊號是否能接上 Dummy Metal Fill 的機會。

訊號選擇的先後

為了這個問題，我們曾經以各個訊號曾經出現的最高 layer 分群，再以該訊號是否能用 FIB 觀察到分組，作成一張表：



表格 1 分層可觀測訊號及總訊號數比較

	Layer 1	Layer 2	Layer 3	Layer 4	Layer 5	Layer 6+
s38417	2	91	1215	1106	646	44
	361	1558	3980	308	30	0
	363	1649	5195	1414	676	44
b17	0	50	446	1299	2201	198
	137	2921	7158	1470	348	0
	137	2971	7604	2769	2549	198
b22	0	39	494	757	712	335
	95	1612	4562	588	50	0
	95	1651	5056	1345	762	335

表中每個電路右邊都有三列，上列的數字代表最高 layer 在此的可觀察訊號數量，中列的數字代表最高 layer 在此的無法觀察到的訊號數量，下列的數字代表最高 layer 在此的總訊號數。最右邊的一欄則是包含了從 layer 6 一直到最高 layer 在內的訊號。在表中可以明顯看出來的兩個極端資訊：要是有個訊號的最高 layer 在 layer 6 或更高層，那麼就算不能在 layer 6 就被觀察到，也保證能在下

面幾個 layer 被觀察到；若是有個訊號的最高 layer 只有到達 layer 1，那它就幾乎不可能被觀察到了。

這個結果是符合直覺的：每個訊號其實都是從最底下的 Poly 層一段段接上來的。若是有個訊號最高爬到了 layer 7，它在 layer 6、layer 5…也一定會留下屬於它的的線段。此外，越高層的訊號以 FIB 觀察時所需要的觀察框也越小，上層訊號線的數量相較於下層也不算多，基本上不容易被其他訊號給遮住，這兩點使得高層訊號相對於低層訊號擁有非常大的優勢。

因此，對於一個原本無法觀察到的訊號來說，要是可以把訊號向上推到 layer 6，被觀察到的可能性便可大幅提昇。但這並不是沒有代價的，一個訊號連到 layer 6 的 Dummy Metal Fill 有可能直接影響到另外四個 layer 4 的訊號中的線段，使它們由原本可以經由那些線段被觀察變成需要尋找其他的線段作為觀察點，甚至變成無法觀察到。關於這種“可觀察到訊號的替代效應”之後會再討論，這裡先談在這次實驗中所使用的訊號選擇標準。

在選擇訊號時，為了能讓成功接上 Dummy Metal Fill 的機會提昇，目前的作法是按訊號所在最高 layer 排序。由表中可以知道，凡是訊號所在最高 layer 在 layer 6 以上的幾乎都一定看的到，所以這就等於是按 layer 5、layer 4…這樣排序下來了。

一個訊號可接上多少 Dummy Metal Fill

每個有可能被接上的 Dummy Metal Fill 對處理中的訊號而言都是個機會。但是對其他待處理的訊號（甚至一些原本可觀察到的訊號）而言，卻有可能使那些訊號無法再被觀察到。在判斷訊號的可觀察到一節中，說明了我們目前的做法是減法：把要觀察的線段列出來，接下來往上一層一層找，凡是有不行的線段就裁去，最後再來看餘下的空間是否能夠塞的下觀察點大小。這個方法就算在修改之後也只能知道訊號在某個點上可以被觀察到，但卻不能確定某個訊號到底還有沒有其他點可以被觀察到，抑或僅僅只有那個點可以觀察了。

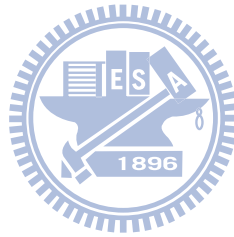
在進一步修改程式使我們可以判斷究竟各個訊號要再被觀察到的難度有多大之前，就只能設法避免一開始先選擇 Dummy Metal Fill 的訊號把太多 Dummy Metal Fill 接在自己的訊號上，還不論是否能夠真的在修改之後被觀察到，有可能就這樣把下層原本可被觀察到的訊號遮住了，或者搶去原本可以給同層的訊號接出的 Dummy Metal Fill。一開始曾經設定一個訊號一次最多可加入 50 個 Dummy Metal Fill，但是卻使得 layer 3 以下可觀察到的訊號大量減少，目前的設定則是一個訊號最多可以接上 5 個 Dummy Metal Fill。

演算法

總的說來，我們的做法是這麼進行的：

1. 計算 FIB 可觀察的訊號數
2. 將未觀察到的訊號依所達到的最高 layer 排序
3. 對每個未觀察到的訊號進行第 4 步，全部執行完則進行第 5 步
4. 由最高 layer 開始逐個線段尋找可連接的 Dummy Metal Fill，找到一個就連接一個。若找到 5 個可連接線段或全部找完跳回第 3 步執行下一個訊號
5. 重新計算 FIB 可觀察到的訊號數

目前的做法還是十分粗略的，像是從第 2 步到第 5 步就可以再多做幾輪。不過在之前嘗試時，發現在第二輪之後對於 layer 3 以下的訊號的可觀察性的破壞有時候還高過 layer 4、layer 5 中訊號可觀察性的提昇，所以這邊就沒有把對電路多次修改的作法寫出來，只留下接入一層 Dummy Metal Fill 的作法和結果了。



第四章 數據

在這一份研究中所用到的測試電路分別是 iscas85 的 s38417 以及 ITC99 的 b22 和 b17。這三個電路都是在 SOC Encounter 中 P&R 之後，以該繞線層所要求的訊號寬度加入 Dummy Metal Fill。

表格 2 修改後訊號可觀察度比較

	s38417			b17			b22		
Layer	#net	obsv	ob.f	#net	obsv	ob.f	#net	obsv	ob.f
6	44	44	65	187	187	193	334	330	337
5	676	601	620	2560	1972	1987	771	666	694
4	1414	1045	1214	2769	1463	1479	1348	742	733
3	5195	1228	1215	7604	459	461	5056	516	512
2	1649	158	148	2971	109	102	1651	72	66
1	363	28	19	137	4	2	95	11	3
total	9341	3104	3281	16228	4194	4224	9255	2337	2345

這張表格的 #net 欄表示在該層出現的新訊號數量，obsv 欄表示在修改電路前聚焦離子束在該層所能新觀察到的訊號數量，ob.f 欄則是以我們的演算法修改電路後所能觀察到的訊號數。

ob.f 欄的數字和 obsv 相同，都是取在該層新發現有辦法觀察到的訊號數量。因為有些原本在下層無法被觀察到的訊號在修改後最高出現層數向上推了一層，所以會出現有些地方 ob.f 的數字比 #net 的數字還大的情形。比較明顯的變化在 layer 6 到 layer 4 的部分，幾乎可觀察到訊號數量都是有增加的，但是在更下層的部分就可以看出可觀察訊號數量減少的情形。

這樣的結果是可以預期的，畢竟在目前的架構之下，每次加入的 Dummy Metal Fill 要是能發揮作用，最好的情形是增加一個可觀察訊號；但要是無法發揮作用，反而會讓加入 Dummy Metal Fill 的訊號在所屬 layer 增加有可能遮住其他訊號的線段，最好的情形是減少零個可觀察訊號。

在表上還有個令人注意的地方：在每個測試電路的 layer 3 通常都是最多新訊號出現的 layer，同時也是無法觀察的訊號的數量比可以被觀察到訊號的兩倍還高的一層。造成這種現象的原因有可能是：一來有太多訊號的最高 layer 都只有達到這一層，所以相對於上面幾個 layer 訊號的擁擠程度提高了；同時 FIB 在這一層所需的觀察框又持續放大，到了這一層終於使兩種訊號的比例出現明顯的改變。對於這種情形的出現，在之後的改進中必然要有針對這一層訊號數量及密度上的對應方法，才能更有效的處理這個問題。關於這部分在結論中會立一段說

明可能的對策。

而且這一大批無法被觀察到的訊號又會再遮住 layer 2、layer 1 的訊號。而 layer 2 的訊號量通常也和 layer 4 同個數量級，但可觀察訊號的比例卻往往不如 layer 4。甚至在修改過的電路中，layer 2 的可觀察訊號數有可能因為上層訊號試圖加入 Dummy Metal Fill 提高可觀察性，然而在更加擴大的 FIB 觀察框的影響之下進而使得 layer 2 的可觀察訊號數量下降了。



第五章 結論

在本研究中，我們試圖利用電路中已加入的 Dummy Metal Fill 與訊號連接，提高以 FIB 技術觀察晶片中訊號的可觀察性。在目前所訂定的限制條件下，確實可以提高所測試電路中訊號的可觀察性。此外在文中還探討了朝這個方向進一步發展需要處理的問題，以及未來可能的改進空間。

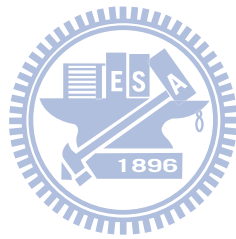
首先，要處理的訊號應該要分群。就像在 ATPG 中不是所有的錯誤都是可以檢測出來的，在電路中有些訊號就是陷在其他訊號的包圍之中，不止找不到可以接上的 Dummy Metal Fill，想要把原本的線路修改都有困難。從另一個角度思考，所在最高 layer 越下層的訊號，通常這種訊號連接點較少，距離也比較短，或許它們的影響層面不會比接點多、連線距離長的訊號更大。至於要分成幾群，以及要以哪些條件分群便需要再思考了。反過來想，給定一個已經 P&R 完成並加入 Dummy Metal Fill 的電路，有沒有辦法有效率的判斷其中某個訊號是不是有救的？再說，就算有些訊號無法被判定為無法觀察到，但是否有辦法估計要把某個訊號用改線路或是接上 Dummy Metal Fill 傳出會比另一個訊號困難？

此外，有沒有辦法知道在這樣的條件下所能達到最高的可觀察訊號比例的上限？在實驗數據一章中可以看到，擁有接近（甚至超過）一半訊號數量的 layer 3 通常都無法將該 layer 的可觀察訊號比例達到一半，這樣算來整個電路理想中的可觀察訊號比例上限或許可以估成 75%。75% 當然不算是什麼好估計，因為這估計的基礎太不實在了；但是在給定了一個電路之後，是否能有效率的算出可觀察訊號比例的上限。

接下來提的就不是問題了，而是進一步改進結果所需要的功能。目前的架構下，檢查是一個訊號是否能被 FIB 觀察到的做法頂多只能稱為負面列表，但是在決定是否該加入某個 Dummy Metal Fill 線段時，卻很需要正面列表。正面列表不一定只是標示某一個區塊看的見，某一個區塊看不見，要是能把選上某個區塊的代價也標示在表上，應該對於選擇 Dummy Metal Fill 有更好的效果。除了更明確的標示每個 Dummy Metal Fill 加入某個訊號中的代價之外，若是想要在之後的實驗中將訊號嘗試接到多層 Dummy Metal Fill，就要設法估計訊號接上新的線段及 via 之後對於電路時間特性的影響。此外，為了更符合 Dummy Metal Fill 加入時的情形，將目前表示訊號線段的架構修改成可以處理寬度超過該 layer 規定訊號線寬度也會有幫助的。

針對 metal 3 的數量及密度問題，目前有可能利用方法是分而治之 (divide and conquer) 在未來的改進中的必要性。我們現在所處理的測試電路其實都算是相對不大的，要是之後要處理更大的電路以及更多的 Dummy Metal Fill，以目前的架構而言很可能執行到一半就無法找到另夠的記憶體裝下需要的資料。再者，如 metal 5、metal 4 的訊號數量少，可觀察度也高，執行一次之後幾乎就不用再多處理，而從 metal 3 開始問題變的複雜，不止要處理的訊號大量增加，而且線

段數也大大超越了前面幾層。為此，以後的程式架構在兩個維度間都應該要可以切割才能更方便的調整。第一個維度是各層間的分離，要是可以各層分離，則比較不好處理的 layer 便可獨立出來修正或切換參數；第二個維度是層內的分區處理，同一層內的各區域其實若沒有共同訊號，也不相鄰的話，其實關聯性還不如不同層但上下相連的分區強。如此分開處理應該可以對不同的分區、分層間的修正更加順利。



第六章 參考書目

- [1] A. L. D'Souza, and M. S. Hsiao, "Error Diagnosis of Sequential Circuits Using Region-Based Model." *Journal of Electronic Testing* , 21 (2), pp. 115-162, 2005
- [2] M. L. Agrawal, V. D. Bushnell, "Essentials of Electronic Testing." Boston, Kluwer, 2000
- [3] FEI Company, "Focused ion beam technology, capabilities and applications." 2006
- [4] L. M. Huisman, "Diagnosis Arbitrary Defect in Logic Designs Using Single Location at A Time (SLAT)." *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* , 23 (1), pp. 91-101, 2004
- [5] Kai-hui Chang, Igor L. Markov, Valeria Bertacco, "Automating Post-Silicon Debugging and Repair." *International Conference on Computer-Aided Design* (pp. 91-98). 2007
- [6] N. Mukherjee, A. Pogiel, J. Rajski, and J. Tyszer, "High Volumn Diagnosis in Memory BIST Based on Compressed Failure Data." *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 29 (3), pp. 441-453. 2010
- [7] P. Bernardi, M. Grosso, M. Rebaudengo, and M. Sonza Reorda, "A Pattern Ordering Algorithm for Reducing The Size of Fault Dictionaries." *VLSI Test Symposium* (pp. 389-391). 2006
- [8] H. T. Park, "Characterization and Modeling of Pattern Dependencies in Copper Interconnects for Integrated Circuits." Ph. D. Dissertation. Department of Electrical Engineering and Computer Science, MIT, May 2002
- [9] R. Desineni, and R. Blanton, "Diagnosis of Arbitrary Defecs Using

- Neighborhood Function Extraction." *VLSI Test Symposium*, (pp. 366-373), 2005
- [10] R. Desineni, O. Poku, and R. Blanton, "A Logic Diagnosis Methodology for Improved Localization and Extraction of Accurate Defect Behavior." *International Test Conference*, (pp. 1-10), 2006
- [11] V. Boppana, R. Mukherjee, J. Jain, M. Fujita, and P. Bollineni, "Multiple Error Diagnosis Based on XLISTS." *Design Automation Conference*, (pp. 660-665), 1999
- [12] X. Wen, S. Kajihara, K. Miyase, Y. Yamato, K. K. Saluja, L.-T. Wang, K. Kinoshita, "A Per-Test Fault Diagnosis Method Based on The X-Fault Model." *IEICE Transactions on Information and Systems* , *E89-D* (11), 2756-2765, 2006
- [13] Y.-C. Lin, F. Liu, and K.-T. Cheng, "Multiple-Fault Diagnosis Based on Adaptive Diagnostic Test Pattern Generation." *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* , 26 (5), pp. 932-942, 2007

