

行政院國家科學委員會補助專題研究計畫 期中進度報告

16 奈米矽多重閘極電晶體中隨機摻雜導致之特性 擾動及其抑制方法

Characteristic Fluctuation and Its Suppression in 16 nm FinFETs and Multi-Gate Transistors

計畫類別：個別型計畫

計畫編號：NSC-97-2221-E-009-154-MY2

執行期間：2008年8月1日至2010年7月31日

計畫主持人：李義明 教授

計畫參與人員：博士生：黃至鴻、鄭惠文；碩士生：黃宣銘、李典燁、
李國輔、韓銘鴻

執行單位：國立交通大學電信工程學系

中華民國 98年5月31日

16 奈米矽多重閘極電晶體中隨機摻雜導致之特性擾動及其抑制方法

Characteristic Fluctuation and Its Suppression in 16 nm FinFETs and Multi-Gate Transistors

計畫編號：NSC-97-2221-E-009-154-MY2

執行期間：2008 年 8 月 1 日至 2010 年 7 月 31 日

主持人：國立交通大學電信工程學系李義明教授

一、中文摘要

超大型積體電路元件已進入次 16 奈米生產技術，除了傳統製程變異效應，隨機摻雜問題所造成的擾動已嚴重的影響了場效應電晶體的特性與可靠度。此研究中，吾人發展了三維度元件模擬技術使用等效原子層級離散摻雜暨量子傳輸方程的大尺度統計運算方法，並成功地分析 16 奈米立體矽場效應電晶體特性之擾動。結果顯示隨機摻雜原子所引起的電位擾動隨著閘極數與通道控制能力之增加而降低，進而降低了元件特性之擾動，其中單閘極、雙閘極、三閘極與全閘極的臨界電壓擾動分別為 102、46.2、30.9 與 25.5 mV。相較於單閘極電晶體，臨界電壓擾動在雙閘極、三閘極至全閘極分別被壓抑 2.2、3.3 與 4 倍。此結果對於電晶體擾動壓抑之推估以及下世代電晶體特性擾動分析極有助益。本計畫期中進度已成功達成並超越預期規劃許多，預期將可成功執行未來之進度並呈現超越預期之成果。

英文摘要

As planar complementary metal-oxide-semiconductor field effect transistor (CMOS) advances to sub-16nm gate lengths, transistors are difficult to be characterized according to the conventional continuum approach due to channel dopant fluctuations. In this work, the suppression of V_{th} fluctuation for advanced multiple-gate FinFETs transistors is investigated. The results show that the threshold voltage fluctuations for double-gate, triple-gate, and surrounding-gate devices are 2.2., 2.3, and 4 times smaller than that of planar SOI devices, respectively. Results of

this study provide further insight into the problem of fluctuation and the mechanism of immunity against fluctuation in ultra-small field effect transistors (FETs) with vertical channel structures, such as fin-typed FETs.

關鍵字

奈米電晶體、隨機摻雜、多重閘極電晶體、特性擾動、三維模型與模擬

二、前言、研究目的與文獻探討

延續摩爾定律而獲得高性能矽晶片以及高密度元件之觀點，新材料、新製程與新結構的開發是半導體製造上繼續微縮元件的尺寸最有效的策略方案；然而隨著矽半導體元件微縮至次22奈米，製程中的不確定性，如離子佈殖與熱退火，已對元件與電路的穩定性帶來重大的影響[1]。元件電特性的擾動的來源可分為由閘極長度暨製程線寬變化 (gate length deviation / line edge roughness) [2-7] 以及隨機摻雜效應(或稱離散摻雜效應) (random dopant effect) 擾動兩種 [6-30]。除了製程變異所造成的擾動外，通道區域中隨機離散摻雜原子 (random discrete dopant) 已變成最主要的擾亂來源之一。當元件尺寸微縮至次16奈米，元件通道中等效的摻雜原子數目將降至數十個左右，相較於大尺度元件中動輒數千數萬的摻雜原子的數目，此數十個摻雜原子的數目以及位置對元件特性所造成的影響將變得十分顯著重要。此外，根據載子穿透機率的計算，當元件尺寸縮小時，源極與汲極之間出現無摻雜通道的機率會大為增加，而此現象並不能以傳統連續型摻雜濃度描述之，進而需引入離散摻雜模型，描述通道受摻雜擾動

之變化。此外，我們注意到製程變異所造成的擾動可因製程精準控制技術的演進而降低，然而離散摻雜所造成之擾動是屬於物理上所存在的本質隨機變數，難以衡量且不易因製程演進而降低。相當多的隨機摻雜效應之研究已透過實驗與模擬的方式個別進行 [6-30]。這些研究證實，電晶體電特性的擾動不僅受來自於摻雜數目擾動所造成的平均摻雜濃度改變的影響，也與在通道中隨機摻雜原子分布的位置有關 [6-7, 23-30]。

International Roadmap for Semiconductor (ITRS) [1] 已預測電晶體結構的演進將在16奈米左右由平面電晶體演化成雙閘極立體電晶體進而後進入全閘極電晶體，因此使用多閘極電晶體壓抑擾動之可能性以及多閘極電晶體受離散摻雜擾動影響的程度與機制在決定電晶體的結構轉換是極為重要的一環。雖有相當多的隨機摻雜效應之研究已被發表 [6-30]。然而對於次16奈米立體電晶體隨機摻雜效應的分析卻一直缺乏整合性的分析與模擬。因此，此計畫中，吾人成功地分析16奈米立體矽場效應電晶體特性之擾動。利用所發展之大刻度的統計分析技術將隨機摻雜的濃度轉成有效的原子數坎入經由非平衡格林函數理論校估過的量子擴散漂移傳輸 (Quantum drift-diffusion) 方程式中進行數值模擬，這種分析的技術可以有效且大規模地進行統計上不偏的理論分析。此外，此法同時成功分析元件的電特性擾動受到隨機摻雜數目 (Random-dopant-number) 和隨機摻雜物位置 (Random-dopant-position) 的影響，結果顯示隨機摻雜原子所引起的電位擾動隨著閘極數與通道控制能力之增加而降低，進而降低了元件特性之擾動，其中單閘極、雙閘極、三閘極與全閘極的臨界電壓擾動分別為102、46.2、30.9與25.5 mV。相較於單閘極電晶體，臨界電壓擾動在雙閘極、三閘極至全閘極分別被壓抑2.2、3.3與4倍。此結果對於電晶體擾動壓抑之推估以及下世代電晶體特性擾動分析極有助益。

本文安排如下：第三段，描述實驗與模擬方法。在第四段，擾動特徵分析與探討，最後為結論與展望。

三、實驗與模擬方法

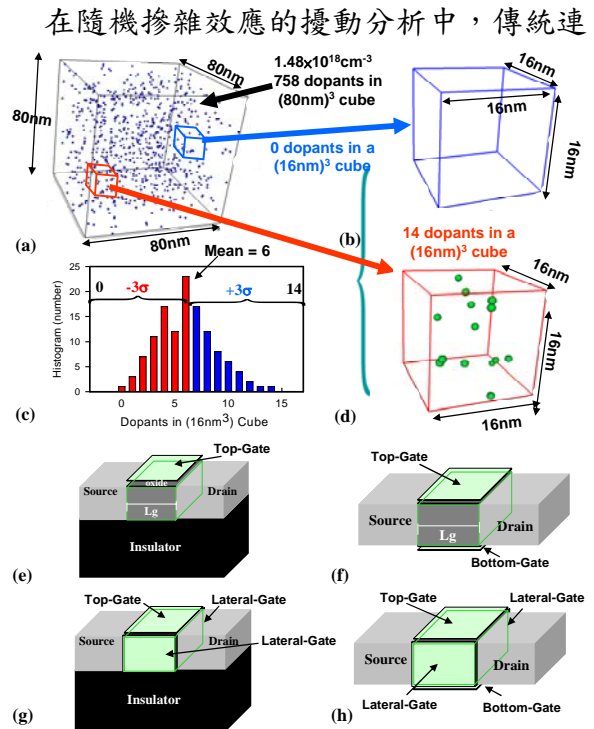


圖1：本計畫使用的統計大尺度三維元件模擬示意圖與16奈米之平面SOI電晶體與多重閘極電晶體。

續型摻雜濃度已無法描述此微小化下的通道摻雜變化，因此吾人引入離散摻雜模型以描述之。圖1為模擬示意圖，首先是元件臨界電壓的校準與元件模型的設定。元件的通道摻雜濃度均為 $1.48 \times 10^{18} \text{ cm}^{-3}$ 、閘極長度是16nm、閘極氧化層厚度是1.2nm，通道外的元件背景濃度為 $1 \times 10^{15} \text{ cm}^{-3}$ 。在離散摻質區域內，為引入摻雜物數量和位置的隨機擾動影響。我們首先在長方形固體半導體中，產生數千個雜質粒子，其等效摻雜濃度為 $1.48 \times 10^{18} \text{ cm}^{-3}$ ，如圖1(a)。每個雜質粒子就是一個摻雜原子。之後，吾人將此大長方形固體半導體分割為小立方體並映射至元件的通道區域做三維的元件模擬，如圖1(b)-(d)。小立方體中摻雜原子的數量與位置即為通道中摻雜原子的分布。元件通道中摻雜原子分布由0至14個，平均原子數為6個，此分布範圍包含 $\pm 3\sigma$ ，並足以反應統計上摻雜原子數量與位置的亂度。圖1(e)-(h)為16奈米之平面SOI電晶體、雙閘極電晶體、三閘極SOI電晶體、三閘極塊材電晶體與方塊全閘極電

晶體。在元件模擬方面，為分析摻雜原子在元件內之行為與擾動機制來源，吾人使用平行化的三維量子力學傳輸方程式去計算每個離散摻雜元件的電子特性擾動。此量子力學傳輸模擬行為是由三維密度梯度 (Density gradient) 量子修正方程式、泊松方程式 (Poisson) 與電子-電動電流連續方程 (Electron / hole continuity equation) 耦合所描述 [31-37]，此量子擴散漂移模擬已與非平衡格林函數理論校估過驗證其準確度，此大刻度的統計分析技術可以有效且大規模地進行統計上不偏的理論分析，並引入隨機摻雜原子位置和數量不同所造成電特性的擾動。

四、結果與討論

電晶體結構的演進由平面元件演化成雙閘極立體電晶體進而後進入全閘極電晶體已成為必然的趨勢，多閘極電晶體雖可使用閘極金屬功函數與 high- κ 材料調整臨界電壓而不需通道摻雜，但其通道之控制能力會因缺乏通道摻雜而下降，進而導致其對製程變異所造成擾動更加的敏感，電特性也較有通道摻雜的電晶體差。因此適當的通道摻雜輔以擾動壓抑的多閘極電晶體將是對來電晶體設計中重要的一環，而其第一步就是分析多閘極電晶體受離散摻雜擾動影響的程度與評估多閘極元件擾動壓抑擾動之可能性，因此吾人對於隨機摻雜擾動在16奈米多重閘極立體電晶體所造成的影響做了以下的分析。圖15為單閘極 (Single-gate)、雙閘極(Double-gate)、三閘極(Tri-gate)以及全閘極(Surrounding-gate) 絕緣層上覆矽 (Silicon-on- insulator) 電晶體結構示意圖，考慮到溫度對絕緣層上覆矽電晶體操作特性之影響，吾人使用三維度量子流體力學模型 (Quantum hydrodynamic model) 包含了能量守恆的方程式做元件特性之模擬，能較比常用的量子擴散漂移傳輸模擬提供更精確的資訊。為比較所預期之電晶體特性與實際上受離散摻雜擾動電晶體特性之差別，吾人以三閘極電晶體為例，圖2(a)為預期之三閘極電晶體有離散摻雜擾動三閘極電晶

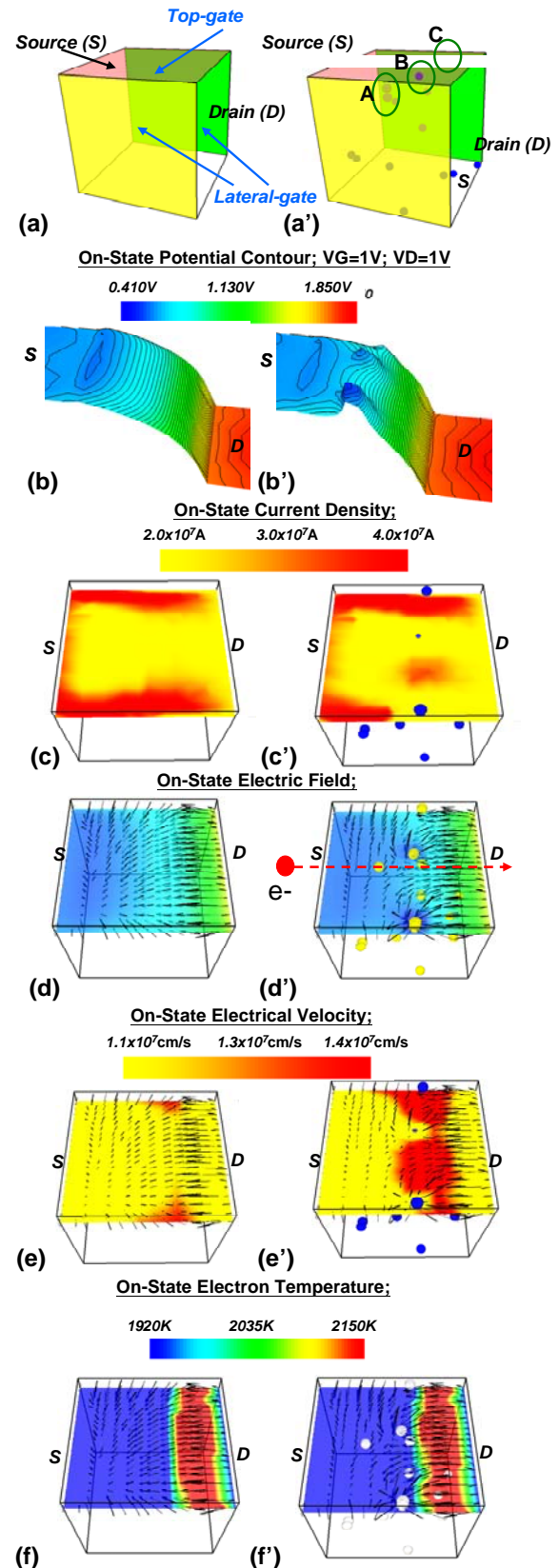


圖2：(a) 預期之三閘極電晶體(通道摻雜為連續型摻雜)與(a')有離散摻雜擾動三閘極電晶體之模擬比較。其中(b)-(f)為預期之特性，(b')-(f')為實際上受到離散摻雜擾動之特性。所分析之特性有電位分布((b)(b'))、電流分布((c)(c'))、電場分布((d)(d'))、電子速度分布((e)(e'))與電子溫度分布((f)(f'))。

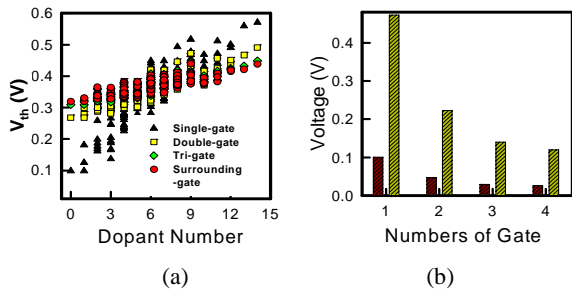


圖3：16奈米電晶體下(a)臨界電壓分布與(b)臨界電壓擾動之比較。

體，其通道摻雜為連續型摻雜，而圖2(a')為受離散摻雜擾動之電晶體，圖為其摻雜原子之分布。圖2(b)-(f)為預期之特性，圖2(b')-(f')為實際上受到離散摻雜擾動之特性。圖2(b)與2(b')為電位分布圖，在預期的例子中，通道的電位分布為平滑曲線往汲極下降，但在考慮離散摻雜原子分布之情況下，由圖可見由相對應摻雜原子引起之位能障礙 (Potential barrier)，這些位能突起導致電晶體在on狀態下電流的擾動，如圖2(c)與2(c')。圖2(d)與2(d')為電場分布之比較，摻雜原子在通道中因位能較低，會引起漩渦狀電場排斥電子，因此在on狀態下，當電子受汲極偏壓影響從源極往汲極移動時，會因為受到漩渦狀電場的影響而遠離摻雜原子，而形成電流穿隧過能障低谷 (如圖2(b')由A、B與C引起之能障間較低之地區) 到達汲極之特性。而摻雜原子所引起之漩渦狀電場更進一步造成電子速度的改變以及電子溫度的變化，如圖2(e)-(e')與2(f)-(f')，此代表著載子能量的改變。

整合已發展的隨機摻雜導致之特性擾動分析技術 [6-7,23-30] 以及多重閘極立體電晶體之工作 [26-30]，吾人分析16奈米絕緣層上覆矽單閘極至多閘極電晶體臨界電壓與通道摻雜原子數如圖3(a)，為公平比較單閘極與多閘極電晶體，電晶體之臨界電壓均調整至250 mV。如圖所示臨界電壓的分佈範圍隨閘極數目的增加而降低，所得之臨界電壓擾動與最大臨界電壓差異整理如圖3(b)，其中單閘極、雙閘極、三閘極與全閘極的臨界電壓擾動分別為102、46.2、30.9與25.5 mV。相較於單閘極電晶體，臨界電壓擾動在雙閘極、三閘極至全閘極分別被壓抑2.2、3.3與4倍。單閘極絕緣層上覆矽電晶體臨界

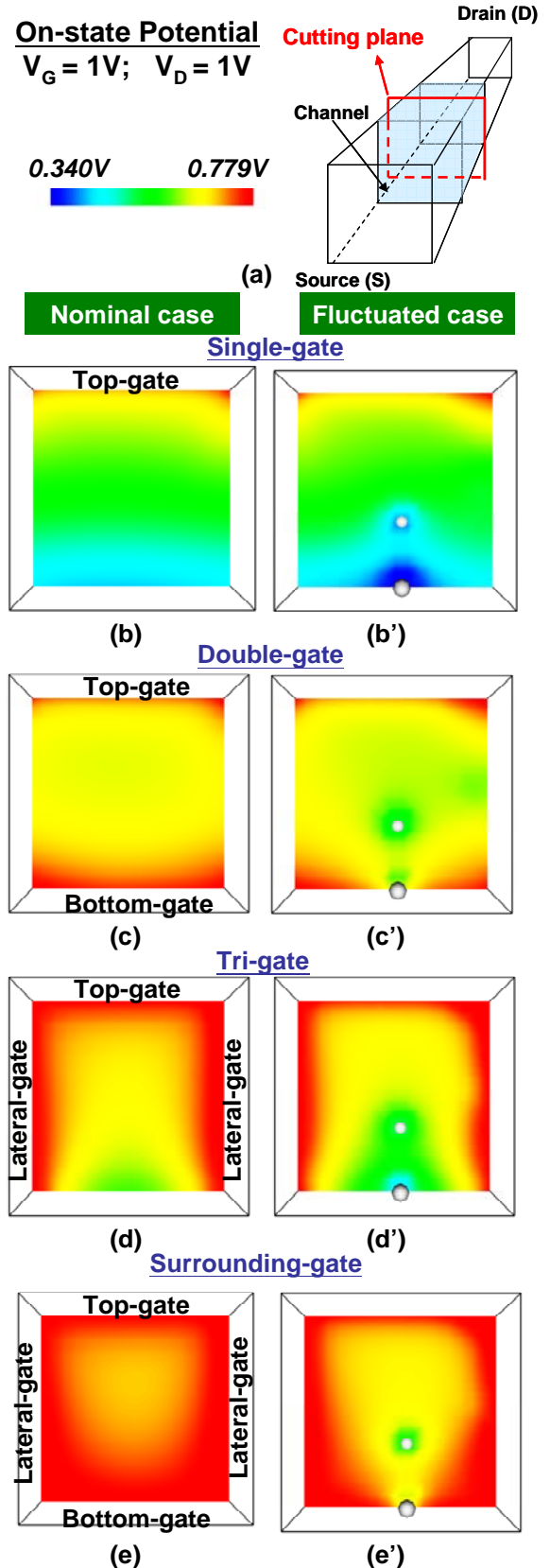


圖4：(a)電晶體通道剖面示意圖。(b)-(e)為預期之電晶體電位分布，(b')-(e')為離散摻雜擾動之電晶體電位分布。(b)與(b')為單閘極電晶體；(c)與(c')為雙閘極電晶體；(d)與(d')為三閘極電晶體；(e)與(e')為全閘極電晶體；其中摻雜原子之分布均同。

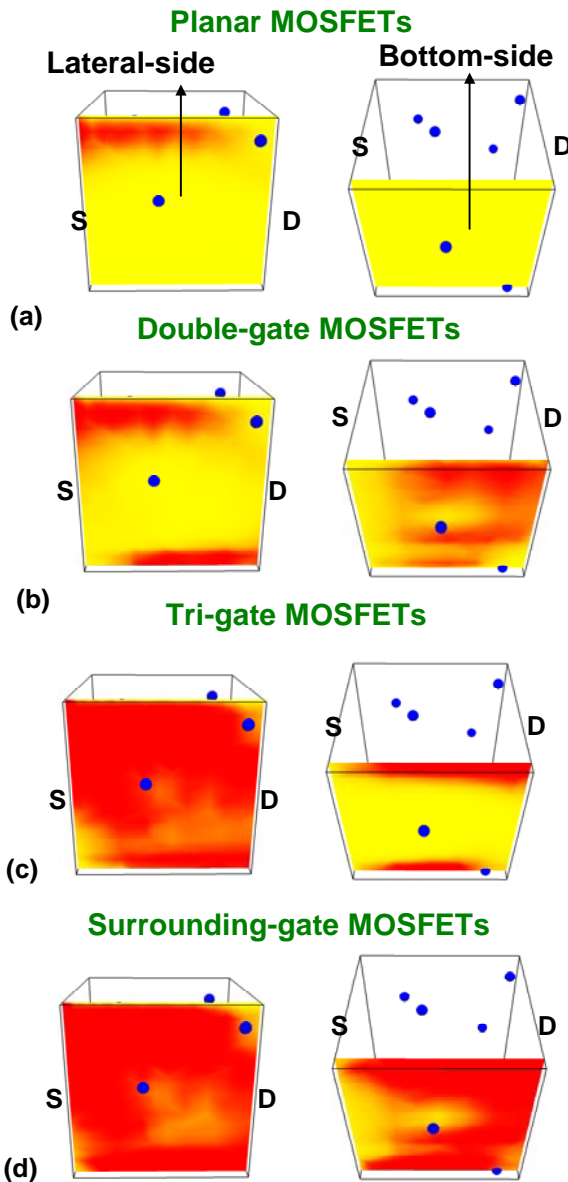


圖5：(a) 單開極、(b)雙開極、(c)三開極以及(d)全開極電晶體開極側邊與底部之電流分布圖。

電壓擾動對通道摻雜濃度的關係為 $N_A^{0.5}$ [9]，相較於單開極塊材電晶體 $N_A^{0.4}$ 的相關性，單開極絕緣層上覆矽電晶體臨界電壓擾動會較相同通道摻雜濃度的單開極塊材電晶體來得高。圖4為預期之電晶體通道與離散摻雜擾動通道切面圖，就預期之電晶體通道而言（圖4(b)-(e)），多開極電晶體較單開極電晶體具較均勻分配之電位，而在單開極電晶體通道中，離散摻雜原子所造成的電位擾動範圍亦較多開極來的明顯，如圖4(b')-(e')。圖5(a)至圖5(d)為單開極、雙開極、三開極以及全開極多開極電晶體開極側邊與底部之電流分布圖。由圖可見電流分佈

會隨著開極數變多通道控制能力增加而變得均勻。在單開極與雙開極電晶體中側邊電流分布中，吾人觀察到因電流的導通路徑會因為摻雜原子的存在而被擋住，但此情況在側邊開極 (Lateral gate) 的加入下(圖5(c)與圖5 (d))能獲得大幅的改善，此為側邊開極所帶來更穩定電流之效益。

五、結論

本研究使用三維原子層級模擬分析奈米尺度平面電晶體及多開極場效電晶體之電特性擾動，成功地分析單開極至多開極電晶體臨界電壓受隨機摻雜擾動之物理機制與模型。分析結果可得隨著立體電晶體的演化，從雙開極、三開極至全開極，臨界電壓的擾動可分別被壓抑 2.2、3.3 與 4 倍。多開極電晶體可提供較多的電流路徑即較佳的電位擾動壓抑。此研究成功分析擾動來源並提供奈米等級電晶體不同程度的擾動壓抑方法，望可從元件特性穩定度上提供設計者與製造者不同的觀點，持續電晶體之微小化。

本計畫期中進度已成功達成並超越預期規劃許多，目前本計畫已發表 5 篇電子電機領域排名前 20% 之 IEEE/SCI 期刊論文，以及 12 篇國際會議論文，其中包含世界頂尖電腦輔助設計會議 ICCAD 會議論文。未來將進一步執行摻雜分布最佳化之抑制擾動技術研究發展，並發展電路層級擾動分析技術與壓制技術開發，吾人預期將可成功執行未來之進度並呈現超越預期之成果。

誌謝

此研究感謝行政院國科會科計畫(NSC) (計畫編號：NSC-97-2221-E-009-154-MY2 之經費補助。並感謝台積電提供元件樣本製造與實驗量測的幫忙與討論。

參考文獻

- [1] International Technology Roadmap for Semiconductors, <http://www.itrs.net/>
- [2] Asenov, A.; Kaya, S.; Brown, A. R. IEEE Trans. on Electron Devices 2003, 50, 1254.

- [3] Roy, G.; Brown, A. R.; Adamu-Lema, F.; Roy, S.; Asenov, A. *IEEE Trans. Electron Device* 2006, 53, 3063.
- [4] Millar, C.; Reid, D.; Roy, G.; Roy, S.; Asenov, A. *IEEE Electron Device Letters* 2008, 29, 946.
- [5] Yang, F.-L.; Hwang, J.-R.; Li, Y. *IEEE Custom Integrated Circuits Conf.* 2006, 691.
- [6] Li, Y.; Yu, S.-M.; Chen, H.-M. *Microelectronics Engineering* 2007, 84, 2117.
- [7] Li, Y.; Hwang, C.-H.; Cheng, H.-W. *Microelectronics Engineering* 2009, 86, 277.
- [8] Asenov, A.; Saini, S. *IEEE Trans. Electron Device* 1999, 46, 1718.
- [9] Mizuno, T. *IEEE Trans. Electron Device* 2000, 47, 756.
- [10] Wong, H.-S.; Taur, Y.; Frank, D. J. *Microelectronics Reliability* 1999, 38, 1447.
- [11] Keyes, R. W. *Appl. Phys.* 1975, 8, 251.
- [12] Francis, P.; Terao, A.; Flandre, D. *IEEE Trans. Electron Device* 1994, 41, 71.
- [13] Tang, X.-H.; De, V.K.; Meindl, J.D. *IEEE Trans. VLSI Systems* 1997, 5, 369.
- [14] Stolk, P.A.; Widdershoven, F.P.; Klaassen, D.B.M. *IEEE Trans. Electron Device* 1998, 45, 1960.
- [15] Noda, K.; Tatsumi, T.; Uchida, T.; Nakajima, K.; Miyamoto, H.; Hu, C. *IEEE Trans. Electron Device* 1998, 45, 809.
- [16] Takeuchi, K.; Tatsumi, T.; Furukawa, A. *Int. Electron Devices Meeting Tech. Dig.* 1997, 841.
- [17] Cheng, B.; Roy, S.; Roy, G.; Asenov, A. *Int. Solid-State and Integrated Circuit Technology Conf.* 2006, 1290.
- [18] B. Cheng, Roy, S.; Roy, G.; Brown, A. R.; Asenov, A. *Proc. European Solid-State Device Research Conf.* 2006, 258.
- [19] Mahmoodi, H.; Mukhopadhyay, S.; Roy, K. *IEEE Journal of Solid-State Circuits* 2005, 40, 1787.
- [20] Tang, X.; Bowman, K. A.; Eble, J. C.; De, V. K.; Meindl, J. D. *Proc. European Solid-State Device Research Conf.* 1999, 184.
- [21] Springer, S. K.; Lee, S.; Lu, N.; Nowak, E. J.; Plouchart, J.-O.; S. Watts, J. R.; Williams, Q.; Zamdmer, N. *IEEE Trans. Electron Device* 2006, 53, 2168.
- [22] Balasubramanian, A.; Fleming, P.R.; Bhuvu, B.L.; Sternberg, A.L.; Massengill, L.W. *IEEE Trans. Device and Materials Reliability* 2003, 8, 135.
- [23] Li, Y.; Yu, S.-M. *IEEE Trans. Semi. Manufacturing* 2007, 20, 432.
- [24] Li, Y.; Yu, S.-M.; Hwang, J.-R.; Yang, F.-L. *IEEE Trans. Electron Device* 2008, 55, 1449.
- [25] Li, Y.; Hwang, C.-H. *IEEE Trans. Microwave Theory Tech.* 2008, 56, 2726.
- [26] Li, Y.; Hwang, C.-H. *J. Appl. Phys.* 2007, 102, , 084509.
- [27] Li, Y.; Hwang, C.-H.; Huang, H.-M. *Physica Status Solidi (a)* 2008, 205, 1505.
- [28] Li, Y.; Yu, S.-M. *Japanese Journal of Applied Physics* 2006, 45, 6860.
- [29] Yang, F.-L.; Lee, D.-H.; Chen, H.-Y.; Chang, C.-Y.; Liu, S.-D.; Huang, C.-C.; Chung, T.-X.; Chen, H.-W.; Huang, C.-C.; Liu, Y.-H.; Wu, C.-C.; Chen, C.-C.; Chen, S.-C.; Chen, Y.-T.; Chen, Y.-H.; Chen, C.-J.; Chan, B.-W.; Hsu, P.-F.; Shieh, J.-H.; Tao, H.-J.; Yeo, Y.-C.; Li, Y.; Lee, J.-W.; Chen, P.; Liang, M.-S.; Hu, C. in *VLSI Tech. Digest* 2004, 196.
- [30] Li, Y.; Hwang, C.-H. *IEEE Trans. on Electron Devices* 2007, 54, 3426.
- [31] Ancona, M. G.; Tiersten, H. F. *Phys. Rev. B* 1987, 35, 7959.
- [32] Odanaka, S. *IEEE Trans. Computer-Aided Design Integr. Circuit and Sys.* 2004, 23, 837.
- [33] Tang, T.-W.; Wang, X.; Li, Y. *J. Comp. Elect.* 2002, 1, 389.
- [34] Roy, G.; Brown, A. R.; Asenov, A.; Roy, S. *J. Comp. Elect.* 2003, 2, 323.
- [35] Li, Y.; Yu, S.-M. *J. Comp. Appl. Math.* 2005, 175, 87.
- [36] Li, Y.; Lu, H.-M.; Tang, T.-W.; Sze S. M. *Math. Comp. Simulation* 2003, 62, 413.
- [37] Li, Y.; Sze S. M.; Chao, T.S. *Eng. with Comp.* 2002, 18, 124-137.